

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-321307

(43)Date of publication of application : 12.12.1997

(51)Int.Cl.

H01L 29/786
H01L 21/265
H01L 27/12
H01L 29/78
H01L 29/778
H01L 21/338
H01L 29/812

(21)Application number : 08-135037

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 29.05.1996

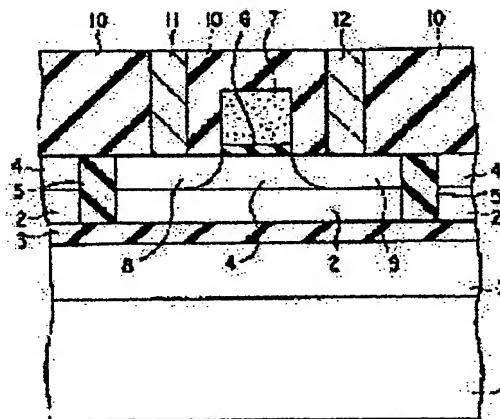
(72)Inventor : USUDA KOJI
IMAI KIYOSHI
SUGIYAMA NAOHARU
TEZUKA TSUTOMU
HIRAOKA YOSHIKO
KUROBE ATSUSHI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a MOSFET having a structure enabling the forming of a strained Si layer having high quality and satisfactory stain, without losing the effect of the SOI structure.

SOLUTION: A buried insulation layer 3 is inserted into a strain applied SiGe semiconductor layer 2 to form an upper and lower SiGe layers. A strained Si layer 4 is formed as a channel layer on the upper SiGe layer 2 which is made thin by the insulation layer 3. Before forming the Si layer 4, the SiGe layer 2 is heat treated to reduce defects such as dislocation produced in this layer 2 at forming of both layers 2 and 3.



LEGAL STATUS

[Date of request for examination]

29.08.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3376211
[Date of registration] 29.11.2002
[Number of appeal against examiner's decision
of rejection]
[Date of requesting appeal against examiner's
decision of rejection]
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-321307

(43)公開日 平成9年(1997)12月12日

(51)Int.Cl. ⁸	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L	29/786		H 0 1 L 29/78	6 1 8 E
	21/265		27/12	E
	27/12		21/265	A
	29/78			J
	29/778		29/78	3 0 1 H
		審査請求 未請求	請求項の数 3	OL (全 7 頁)
				最終頁に続く

(21)出願番号	特願平8-135037	(71)出願人	000003078 株式会社東芝 神奈川県川崎市幸区堀川町72番地
(22)出願日	平成8年(1996)5月29日	(72)発明者	白田 宏治 神奈川県川崎市幸区小向東芝町1番地 株 式会社東芝研究開発センター内
		(72)発明者	今井 聖文 神奈川県川崎市幸区小向東芝町1番地 株 式会社東芝研究開発センター内
		(72)発明者	杉山 直治 神奈川県川崎市幸区小向東芝町1番地 株 式会社東芝研究開発センター内
		(74)代理人	弁理士 鈴江 武彦 (外6名)

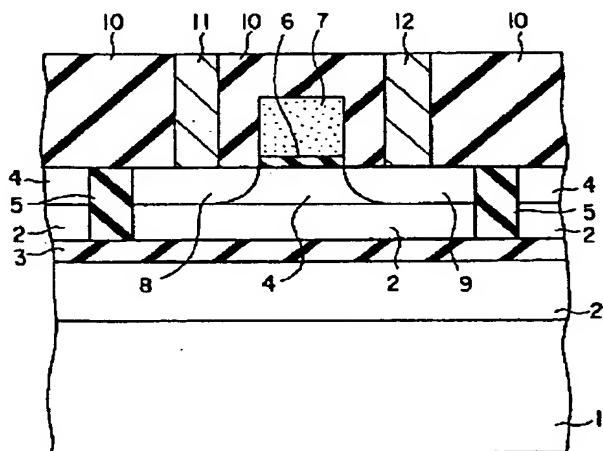
最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】SOI構造による効果を失わずに、高品質で十分な歪みを有する歪みシリコン層を形成できる構造のMOSFETを提供すること。

【解決手段】埋め込み絶縁層 3 が挿設され、この埋め込み絶縁層 3 により上下に区分された歪み印加半導体層としての SiGe 層 2 と、上側の SiGe 層 2 上に形成されたチャネル層としての歪みシリコン層 4 とを備え、埋め込み絶縁層 3 は上側の SiGe 層 2 の膜厚が薄くなるように形成され、かつ歪みシリコン層 4 の形成前に、SiGe 層 2 および埋め込み絶縁層 3 の形成時に SiGe 層 2 内に発生した転位等の欠陥を低減するための熱処理が SiGe 層 2 に施されている。



【特許請求の範囲】

【請求項 1】チャネルが誘起されるチャネル半導体層と、格子定数が前記チャネル半導体層のそれと異なり、前記チャネル半導体層に歪みを印加する歪み印加半導体層と、この歪み印加半導体層内に形成された絶縁層とを具備してなることを特徴とする半導体装置。

【請求項 2】前記チャネル半導体層はシリコン層、前記歪み印加半導体層はシリコンゲルマニウム層であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】前記チャネル半導体層は、MOSFET のチャネルが誘起される半導体層であることを特徴とする請求項 1 に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、MOSFET や HEMT 等のようにチャネルが誘起されるチャネル半導体層を有する半導体素子を備えた半導体装置に関する。

【0002】

【従来の技術】コンピュータや通信機器の重要部分には、多数のトランジスタや抵抗等を電気回路を達成するようにむすびつけ、1 チップ上に集積化して形成した大規模集積回路 (LSI) が多用されている。このため、機器全体の性能は、LSI 単体の性能と大きく結び付いている。

【0003】LSI 単体の性能向上、例えば、Si 系 MOS デバイス等で構成される LSI 単体の性能向上においては、高速かつ低消費電力を特徴とする MOSFET の改良が不可欠である。このため、例えば、電子移動度等の電気的特性の向上を目的とした研究開発が精力的に行なわれている。

【0004】しかし、チャネルが誘起されるチャネル半導体層の構造についての検討は、その緒についたばかりである。電子移動度を高めるための技術の 1 つとして、チャネル半導体層に歪みをかける技術が知られている。チャネル半導体層に歪みをかけると、そのバンド構造が変化し、その結果、縮退が解けて電子散乱が抑制されるので、電子移動度を高めることが可能となる。

【0005】具体的には、シリコン基板上にシリコンよりも格子定数の大きな材料からなる混晶層、例えば、Ge 濃度 20% の SiGe 混晶層 (以下、単に SiGe 層という) を形成し、この SiGe 層上にチャネル半導体層としてのシリコン層を形成すると、格子定数の違いにより、歪みのかかったシリコン層 (以下、歪みチャネル層という) が形成される。このような歪みチャネル層を用いると、無歪みチャネル層を用いた場合の約 1.76 倍と大幅な電子移動度の向上を達成できることが報告されている (J. Welser, J. L. Hoyt, S. Takagi, and J. F. Gibbons, IEDM 94-373)。

【0006】他方、電子移動度の向上のために、MOSFET の短チャネル化を進めると、浮遊容量の影響が大きくなるため、期待通りに電子移動度を向上することは困難になる。

05 【0007】そこで、SOI (Silicon On Insulator) 基板に MOSFET を作成することが検討されている。SOI 基板の形成方法としては、張り合わせ基板等の幾つかの方法が提案されているが、SOI 基板の酸化層とその上のシリコン層の各々の膜厚を最適な寸法に形成できる方法として、シリコン基板に酸素イオンを注入した後、このシリコン基板に高温熱処理を施して該基板内部に埋め込み酸化層を形成するという、通称 SIMOX (Separation by Implanted Oxygen) と呼ばれる方法が広く用いられている。

15 【0008】図 3 に、SOI 基板に作成した MOSFET の断面構造を示す。図中、51 はシリコン基板、52 は酸化層、53 はシリコン層を示しており、これらは SOI 基板を構成している。

20 【0009】シリコン層 53 上には SiGe 混晶層 (以下、単に SiGe 層という) 54 が形成され、この SiGe 層 54 上には歪みシリコン層 55 が形成されている。これらシリコン層 53、SiGe 層 54 および歪みシリコン層 55 には酸化層 52 に達する素子分離絶縁膜 56 が形成されている。

25 【0010】歪みシリコン層 55 上にはゲート酸化膜 57、ゲート電極 58 が順次形成されている。また、このゲート電極 58 をマスクに用いたイオン注入により、歪みシリコン層 55 および SiGe 層 54 には、n 型ソース領域 59 および n 型ドレイン領域 60 が自己整合に形成されている。

30 【0011】そして、全面にはゲート電極 58 を覆うように層間絶縁膜 61 が形成され、この層間絶縁膜 61 に開口されたコンタクトホールを介してソース電極 62、ドレイン電極 63 がそれぞれ n 型ソース領域 59、n 型ドレイン領域 60 に接続している。

35 【0012】上述したようなチャネル半導体層に歪みシリコン層 55 を用い、基板に SOI 基板を用いた MOSFET を実現できれば、0.1 μ m ルール以下の微細化に対しても有効な素子特性が得られるようになる。すなわち、短チャネル効果を抑えながら電子移動度の向上が図れるようになる。

40 【0013】しかしながら、このような MOSFET の実現に際しては以下のような問題がある。十分な歪みを有する歪みシリコン層 55 を得るには、厚い SiGe 混晶バッファ層 (以下、単に SiGe バッファ層という) を形成し、その上に高 Ge 濃度の SiGe 層 54 を形成する必要がある。例えば、シリコン層 53 に対して格子定数が % オーダで異なる厚さ 100 nm 程度の SiGe バッファ層を形成する。

50 【0014】しかし、下地のシリコン層 53 との格子不

整合によりSiGeバッファ層内にミスフィット転位や貫通転位が発生し、これら転位がSiGe層54内に引き継がれ、さらにこれら転位がSiGe層54上に形成する歪みシリコン層55に引き継がれ、素子特性が劣化するという問題が生じる。

【0015】仮にSiGeバッファ層の結晶成長が問題なく行なわれ、SiGeバッファ層内にミスフィット転位や貫通転位が発生しなくても、後工程における高熱の熱処理中で緩和が生じて、結果的に転位が生じる可能性もある。

【0016】したがって、十分な歪みを有する歪みシリコン層55を得るには、SiGe層54がシリコン層53から受ける歪みを解放した、つまり、SiGe層54が緩和した状態で、SiGe層54上にシリコンを成長させて歪みシリコン層55を形成することが望まれる。

【0017】これを実現するためには、SiGeバッファ層として、シリコン層53から遠ざかるに従って徐々にGe濃度が高くなる厚い傾斜組成SiGe層を作成し、この傾斜組成SiGe層上にSiGe層54、歪みシリコン層55を順次形成することが必要となる。

【0018】この厚い傾斜組成SiGe層では、貫通転位、ミスフィット転位等の転位が該層中に閉じ込められる。また、SiGe層54を形成する傾斜組成SiGe層の表面は十分に緩和している。したがって、表面に転位がなく、かつ歪みシリコン層55からの歪みが解放されたSiGe層54が得られ、これにより転位がなく十分な歪みを有する歪みシリコン層55を形成できるようになる。しかしながら、このSiGeバッファ層の厚みは、およそ1 μ m程度となる。

【0019】一方、浮遊容量の低減などのSOI基板の効果をを得るためには、SOI基板のSOI層の厚み（シリコン層53の膜厚とSiGe層54の膜厚と歪みシリコン層55の膜厚の合計）は0.1 μ m程度以下である必要がある。

【0020】したがって、上述したような厚いSiGeバッファ層（傾斜組成SiGe層）を形成した後に、歪みシリコン層を形成したのでは、SOI基板の効果を享受できないという問題が生じる。

【0021】さらに、上述した厚いSiGeバッファ層（傾斜組成SiGe層）を形成するには、結晶成長時間がかかるという問題がある。また、表面ラフネスが増加し、その上に形成する歪みシリコン層55の膜質が低下するという問題もある。

【0022】

【発明が解決しようとする課題】上述の如く、チャンネル半導体層に歪みシリコン層を用い、基板にSOI基板を用いたMOSFETを実現できれば、0.1 μ mルール以下の微細化に対しても、短チャンネル効果を抑えながら電子移動度の向上が図れるとともに、ドレイン電流も大きく取れるようになる。

【0023】転位がなく十分な歪みを有する歪みシリコン層の形成方法として、SiGeバッファ層としての厚い傾斜組成SiGe層上にSiGe層を形成し、このSiGe層上にシリコンを成長させて歪みシリコン層を形成する方法が知られている。

【0024】しかし、厚い傾斜組成SiGe層を形成することにより、歪みシリコン層とSOI構造を構成する酸化層との間が大きくなり、SOI構造の効果が得られなくなるという問題があった。

【0025】本発明は、上記事情を考慮してなされたもので、その目的とするところは、SOI構造による効果を失わずに、高品質で十分な歪みを有するチャンネル半導体層を形成できる構造を有する半導体装置を提供することにある。

【0026】

【課題を解決するための手段】

〔概要〕上記目的を達成するために、本発明に係る半導体装置（請求項1）は、チャンネルが誘起されるチャンネル半導体層と、格子定数が前記チャンネル半導体層のそれと異なり、前記チャンネル半導体層に歪みを印加する歪み印加半導体層と、この歪み印加半導体層内に形成された絶縁層とを備えていることを特徴とする。

【0027】また、本発明に係る他の半導体装置（請求項2）は、上記半導体装置（請求項1）において、前記チャンネル半導体層がシリコン層、前記歪み印加半導体層がシリコンゲルマニウム層であることを特徴とする。

【0028】この場合、上記絶縁層はSIMOX法により形成することが好ましい。また、本発明に係る他の半導体装置（請求項3）は、上記半導体装置（請求項1）において、前記チャンネル半導体層が、MOSFETのチャンネルが誘起される半導体層であることを特徴とする。

【0029】〔作用〕本発明の如きの構造によれば、例えば、以下のような形成方法により、SOI構造による効果を失わずに、十分な歪みを有するチャンネル半導体層を形成できるようになる。

【0030】すなわち、まず、後工程で形成するチャンネル半導体層に十分な歪みを与えることができる歪み印加半導体層を形成する。これは例えば歪み印加半導体層がSiGe層の場合であればGe濃度を高くすれば良い。

【0031】次に歪み印加半導体層内に絶縁層を形成する。これは例えば酸素イオンを歪み印加半導体層内に注入した後、アニール処理を行なって形成する。この結果、歪み印加半導体層は絶縁層により上下二つに分離され、上部歪み印加半導体層／絶縁層／下部歪み印加半導体層が構造できる。

【0032】このとき、絶縁層、上部歪み印加半導体層および後工程で形成するチャンネル半導体層からなるSOI構造と同じ効果を享受できるように、絶縁層を形成する位置の深さを選ぶ。すなわち、SOI構造による効果を享受できる程度の薄い上部歪み印加層が得られるよう

に、歪み印加半導体層内に絶縁層を形成する。

【0033】さらに、上記アニール処理により、歪み印加半導体層の形成時や絶縁層の形成時に、歪み印加半導体層内に発生した転位等の欠陥が減少する。これにより、従来の厚い歪み印加半導体層と同程度数以下の欠陥を有する高品質な薄い歪み印加半導体層が得られる。

【0034】最後に、高品質な薄い歪み印加半導体層（上部歪み印加半導体層）上にチャネル半導体層を形成する。ここで、上部歪み印加半導体層は、上述したように、高品質でチャネル半導体層に十分な歪みを与えることができるように形成されているので、高品質で十分な歪みを有するチャネル半導体層が形成されることになる。しかも、チャネル半導体層に歪みを印加する上部歪み印加層は薄いので、SOI構造と同等の効果は得られる。したがって、SOI構造と同等の効果を失わずに、高品質で十分な歪みを有するチャネル半導体層を形成できることになる。

【0035】

【発明の実施の形態】以下、図面を参照しながら本発明の実施の形態（以下、実施形態という）を説明する。

（第1の実施形態）先ず、本発明の基本的な考えについて説明する。図1に、本発明をSi系MOSFETに適用した場合のプロセスフローを従来法のそれと比較して示す。この例では歪み印加半導体層としてSiGe層を用いている。

【0036】従来法では、まず、シリコン基板に酸素イオンを注入し、このシリコン基板にアニール処理を施してシリコン基板内に酸化層を形成することにより、つまり、SIMOX法によりSOI基板を形成する。

【0037】次にSiGeバッファ層としてSOI基板から離れるに従って結晶中のGe濃度を徐々に高くなる傾斜組成SiGe層をSOI基板上に形成する。次にSiGeバッファ層上にSiGeを成長させて所望のGe濃度を有するSiGe層を形成する。

【0038】最後に、SiGe層上にシリコンを成長させて歪みシリコン層を形成した後、この歪みシリコン層をチャネル半導体層とするMOSFETを形成する。これに対し、本発明では、まず、シリコン基板上にSiGeを成長させて歪み印加半導体層としてのSiGe層を形成する。このとき、SiGe層のGe濃度は、後工程で形成する歪みシリコン層の歪みの大きさが十分に大きくなるように選ぶ。

【0039】次にSiGe層に酸素イオンを注入した後、このSiGe層にアニール処理を施すことにより、SiGe層内に埋め込み絶縁層を形成する。この結果、SiGe層は埋め込み絶縁層により上下二つに分離される。以下、分離された上側のSiGe層を上部SiGe層、下側のSiGe層を下部SiGe層という。

【0040】この工程時に、上部SiGe層の膜厚が薄くなるように、埋め込み絶縁層をSiGe層の浅い位置

に形成する。これにより、埋め込み絶縁層と次の工程で形成する歪みシリコン層との間を短くできるので、埋め込み絶縁層、上部SiGe層および歪みシリコン層により構成されるSOI構造と同等の浮遊容量低減等の効果を楽しむことができるようになる。

【0041】さらに、SiGe層に酸素イオンを注入した後のアニール処理により、SiGe層の形成時および酸素イオン注入時に生じた転位等の欠陥を修復できるので、SiGeバッファ層を形成しなくても、高品質な上部SiGe層、下側SiGe層が得られる。

【0042】したがって、従来よりも少ない工程数（1工程短縮）で、SOI構造と同等の効果を失わずに、高品質で大きな歪みを有する歪みシリコン層を形成できる高品質で薄い上部SiGe層（歪み印加半導体層）が得られることになる。

【0043】最後に、上部SiGe層上にシリコンを成長させて歪みシリコン層を形成した後、この歪みシリコン層をチャネル半導体層とするMOSFETを形成する。なお、上部SiGe層上に新たなSiGe層を形成し、このSiGe層上に歪みシリコン層を形成した後、この歪みシリコン層にMOSFETを形成しても良い。この場合、より高品質なSiGe層が得られるので、さらに素子特性の優れたMOSFETを形成できるようになる。

【0044】次に本発明の具体的な実施形態について説明する。図2は、本発明の一実施形態に係るn型MOSFETの素子構造を示す断面図である。これを製造工程に従い説明すると、まず、例えば、RCA法等の洗浄法を用いて自然酸化膜等が除去された清浄なシリコン基板1を準備する。

【0045】次にシリコン基板1上に厚さ1 μ m程度のSiGe層2を形成する。SiGe層2のGe濃度は、後工程で形成する歪みシリコン層4の歪みが十分に大きくなるように高くする。

【0046】ここで、Ge濃度を急激に増加させながらSiGe層2を形成すると、シリコン基板1とSiGe層2の格子定数の違いにより生じる格子不整合によって、SiGe層2中に無用の貫通転位、あるいはミスフィット転位を含む欠陥を誘起することになるので、Ge濃度はSiGe層2の中で徐々に増加させ、表面で所望濃度となるようにすることが好ましい。

【0047】膜厚1 μ mという値は、SiGe層2のデバイス側に近い部分のGe組成比を0.3と設計するとき用いる典型的な値である。Ge組成比は大きい方が良く、0.2を大きく下回る場合には、SiGe層2上に形成するMOSFETの移動度の顕著な向上は期待できない。また、0.5を大きく越える場合には、SiGe層2の表面凹凸（表面ラフネス）の増加や、膜質の低下等の問題が生じる可能性がある。これらの点を考慮してGe組成比を設定すれば、本発明の効果はより顕著に

発揮されるようになる。

【0048】SiGe層2の具体的な成膜方法は以下の通りである。すなわち、原料としてSiH₄ およびGeH₄ を用い、成長温度を500℃に設定し、成長圧力を10⁻³Paに設定して、真空容器中でCVD法により形成する。

【0049】SiGeを成長させるには、このようなCVD法や、MBE (Molecular Beam Epitaxy) 法等のエピタキシャル成長法が広く用いられるが、Ge組成比の制御が可能な結晶成長方法であれば、他の成膜法を用いても良い。

【0050】例えば、LPE (Liquid Phase Epitaxy) 法等の液相成長法や、ポリSiGe層あるいはアモルファスSiGe層の加熱による固相成長法でもSiGe層2を形成できる。

【0051】また、ここでは、真空中（成長圧力10⁻³Pa）でのCVD法の場合について説明したが、数百Torrの成長圧力による減圧あるいは常圧、加圧下でも成長が可能である。

【0052】Si原料としてはSiH₄、Si₂H₆、Si₂H₄Cl₂等、Ge原料としてはGeH₄、GeF₄、Ge₂H₆等が適している。これら原料のガスはキャリアガスを用いて真空容器内に導入しても良い。キャリアガスとしては、例えば、水素ガス、窒素ガス、ヘリウムガスまたはアルゴン等の不活性ガス等があげられる。

【0053】また、原料を予めプラズマ、光等により分解して、成長に必要なエネルギーを有する成長に寄与する種を生成し、これを結晶成長に利用しても良い。また、SiGe層2を形成する際に、B、As、P等の不純物源となるB₂H₆、AsH₃、PH₃等を原料と同時に真空容器内に導入して、SiGe層2が所定の導電型になるようにしても良いし、あるいはSiGe層2を形成した後にB、As、P等を拡散によりSiGe層2内に導入して、SiGe層2が所定の導電型になるようにしても良い。また、B、As、P以外にGa、Sb、Sn、Al、N等を用いても良い。

【0054】次にドーズ量5×10¹⁷cm⁻²の条件で酸素イオンをSiGe層2の上から注入した後、1300℃のアニール処理を施して、良好な埋め込み絶縁層3をSiGe層2内に形成する。

【0055】SiGe層2は埋め込み絶縁層3により上下二つに分離される。以下、分離された上側のSiGe層2を上部SiGe層2、下側のSiGe層2を下部SiGe層2という。

【0056】この工程時に、上部SiGe層2の膜厚が薄くなるように、埋め込み絶縁層3をSiGe層2の浅い位置に形成する。また、上記アニール処理でSiGe層2内の転位等の欠陥が修復され、高品質なSiGe層2が形成される。

【0057】したがって、埋め込み絶縁層3上には、歪み印加半導体層として、高品質で薄い上部SiGe層2が形成されることになる。次に成長温度を500℃に設定してCVD法により上部SiGe層2上にシリコンを成長させて厚さ30nmの歪みシリコン層4を形成する。この歪みシリコン層4の歪みは引っ張り歪みである。

【0058】上部SiGe層2のGe濃度は高いので、歪みシリコン層4は、電子移動度の向上を図るのに十分な大きさの引っ張り歪みを有したものとなる。さらに、上部SiGe層2内の転位等の欠陥は低減されているので、高品質な歪みシリコン層4が形成される。

【0059】さらまた、本実施形態では、埋め込み絶縁層3、上部SiGe層2および歪みシリコン層4によりSOI構造 (SiGe On Insulator 構造) が形成されているが、上部SiGe層2の膜厚は薄いので、上記SOI構造による浮遊容量低減等の効果は十分に発揮される。

【0060】したがって、本実施形態によれば、上記SOI構造の利点およびチャネル層として歪みシリコン層を用いた利点を有するMOSFETを実現できるようになる。

【0061】また、MOSFETの短チャネル効果の抑制または駆動電流の向上、あるいはこれらを同時に効果的に図るためには、歪みシリコン層4の膜厚は20nm以下であることが望ましい。

【0062】次にトレンチ分離法により素子分離絶縁膜5を形成する。なお、トレンチ分離法の代わりにLOCOS分離法等の他の素子分離法を用いても良い。この素子分離絶縁膜5により、n型MOSFETの形成予定領域と、これに隣り合う別のデバイス、例えば、p型MOSFETの形成予定領域とが分離される。

【0063】次に歪みシリコン層4の表面を熱酸化してできるだけ薄いゲート酸化膜6を形成する。ゲート酸化膜6の膜厚は10nm程度以下であることが望ましい。次にしきい値電圧調整用の不純物イオンをゲート酸化膜6を介してチャネル領域に注入し、n型チャネル領域を形成する。

【0064】次にゲート酸化膜6上にゲート電極7となる多結晶シリコン膜を減圧CVD法により形成した後、上記多結晶シリコン膜を反応性イオンエッチング (RIE) 等の異方性エッチングによりパターニングして、ゲート電極7を形成する。このとき、ゲート酸化膜6も同様にパターニングし、ゲート電極7下以外のゲート酸化膜6を除去する。

【0065】次にゲート電極7をマスクにして、n型MOSFET形成領域にリンイオン等のn型不純物イオンを選択的に注入した後、800℃程度のアニール処理を施して、n型ソース領域8、n型ドレイン領域9を自己整合的に形成する。

【0066】次に全面にシリコン酸化膜またはシリコン

窒化膜などの層間絶縁膜10をCVD法により形成した後、この層間絶縁膜10にゲート領域、ソース領域、ドレイン領域に対するコンタクトホールを開孔する。

【0067】最後に、全面にAl膜等の導電膜を堆積した後、この導電膜をパターンニングして、ソース電極11、ドレイン電極12、ゲート引き出し電極（不図示）を形成して、n型MOSFETが完成する。

【0068】以上述べたように本実施形態によれば、SOI構造による効果およびチャネル層として歪みシリコン層を用いた効果を同時に得られるMOSFETを実現できるようになる。これにより、微細化を進めても期待通りの素子特性を有するMOSFETの実現が可能となる。

【0069】なお、本発明は上述した実施形態に限定されるものではない。例えば、上記実施形態では、歪み印加半導体層として、SiGe層を用いた場合について説明したが、SiGe層の代わりに、SiCやSiN等のようにSiと他の元素との混晶層、ZnSe層等のII-VI族混晶層もしくはGaAsやInP等のIII-V族混晶層などの互いに格子定数の異なる材料からなる混晶層でも良い。

【0070】また、上記実施形態では、MOSFETの場合について説明したが、本発明はチャネル半導体層に歪みを印加することが可能な構造の半導体素子を有する半導体装置であれば適用できる。

【0071】例えば、MOS構造を有するCMOSやBiCMOS等の半導体素子や、HEMT (High Electron Mobility Transistor) を有する半導体装置にも適用

できる。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施できる。

【0072】

【発明の効果】以上詳述したように本発明によれば、SOI構造による効果を失わずに、高品質で十分な歪みを有するチャネル半導体層を形成できる構造の半導体装置を提供できるようになる。

【図面の簡単な説明】

【図1】本発明をSi系MOSFETに適用した場合のプロセスフローを従来法のそれと比較して示す図

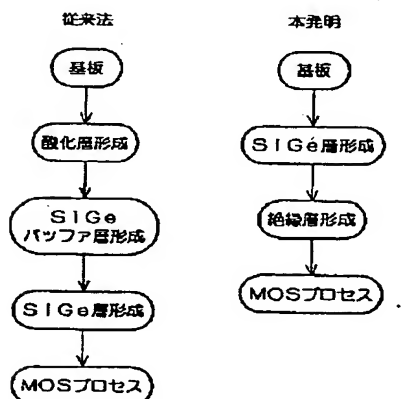
【図2】本発明の一実施形態に係るn型MOSFETの素子構造を示す断面図

【図3】従来のSOI基板を用いたn型MOSFETの素子構造を示す断面図

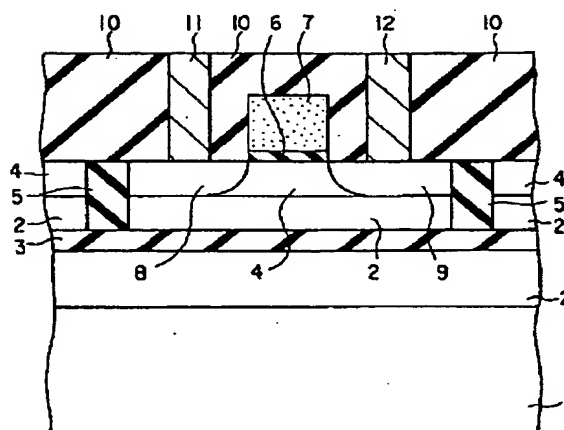
【符号の説明】

- 1…シリコン基板
- 2…SiGe層（歪み印加半導体層）
- 3…埋め込み絶縁層
- 4…歪みシリコン層（チャネル半導体層）
- 5…素子分離絶縁膜
- 6…ゲート酸化膜
- 7…ゲート電極
- 8…n型ソース領域
- 9…n型ドレイン領域
- 10…層間絶縁膜
- 11…ソース電極
- 12…ドレイン電極

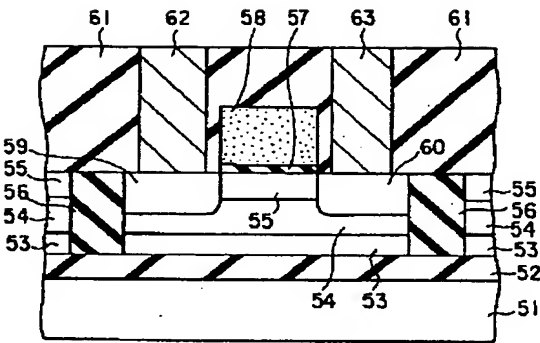
【図1】



【図2】



【図3】



フロントページの続き

(51) Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H O 1 L 21/338			H O 1 L 29/78	3 0 1 B
29/812				6 1 8 B
		9447-4M	29/80	H
(72)発明者 手塚 勉			30 (72)発明者 平岡 佳子	
神奈川県川崎市幸区小向東芝町1番地 株			神奈川県川崎市幸区小向東芝町1番地 株	
式会社東芝研究開発センター内			式会社東芝研究開発センター内	
			(72)発明者 黒部 篤	
			神奈川県川崎市幸区小向東芝町1番地 株	
			式会社東芝研究開発センター内	
			35	